

(19) Japanese Patent Office (JP)

(12) Official Gazette for Unexamined Patents (A)

(11) Kokai Patent No. 62[1987]-178013

(43) Kokai Publication Date: August 5, 1987

(51) Int. Cl. <sup>4</sup> :	Identification Symbols:	Patent Office File Nos:
H 03 K 17/693	101	
19/00		A-7190-5J
		Z-8326-5J

Number of Inventions: 1    Request for Examination: Not Requested

(Total of 13 Pages)

(54) Semiconductor Device

(21) Patent Application No. 61[1986]-17929

(22) Filing Date: January 31, 1986

(72) Inventors:    Goro Kitsukawa  
Hitachi, Ltd., Central Research Laboratory, 280, Higashi  
Koigakubo 1 chome, Kokubutera-shi

Takaichi Hori  
Hitachi, Ltd., Central Research Laboratory, 280, Higashi  
Koigakubo 1 chome, Kokubudtera-shi

Yoshishige Kawajiri  
Hitachi, Ltd., Central Research Laboratory, 280, Higashi  
Koigakubo 1 chome, Kokubudtera-shi

Takao Watanabe  
Hitachi, Ltd., Central Research Laboratory, 280, Higashi  
Koigakubo 1 chome, Kokubudtera-shi

(71) Applicant:    Hitachi, Ltd.  
6, Kanda Surugadai 4 chome, Chiyoda-ku, Tokyo-to

(74) Agent: Katsuo Ogawa, Patent Attorney, and one other

## Specification

### Title of the Invention

#### Semiconductor Device

### Scope of Patent Claim

1. A semiconductor device, characterized in that it is made from a circuit that comprises input, which is controlled by a pre-stage circuit, and at least one insulated-gate field-effect transistor, at least one reference voltage of the reference voltages of said circuit is set higher than the reference voltage of the pre-stage circuit, there is a first switch means between said reference voltage and the input of said circuit and there is a second switch means between the output of the pre-stage circuit and the input of said circuit, the high potential of the input of said circuit is supplied by turning on said first switch and turning off said second switch, and the low potential of the input of said circuit is supplied from the pre-stage circuit, which has been connected to said second switch, by turning off said first switch and turning on said second switch.

2. The semiconductor device according to claim 1, further characterized in that said semiconductor circuit comprises at least one bipolar transistor.

### Detailed Description of the Invention

[Industrial Field of Use]

The present invention pertains to a semiconductor device and in particular, relates to a semiconductor circuit that is ideal for obtaining a strong drive performance and a high output amplitude.

[Prior Art]

The semiconductor device in Japanese Kokai Patent No. 59[1984]-25423 is a conventional circuit that uses bipolar transistors and MOS transistors.

Figure 30 is the circuit diagram of the above-mentioned semiconductor device. Actuation and problem points of this circuit are described below:

The combined circuit of a CMOS (complementary MOS) inverter consisting of a p channel MOS transistor 4 and an n channel MOS transistor 5 and bipolar transistor 7 and the combined circuit of an n MOS transistor 6 and a bipolar transistor 8 are connected vertically. In the description that follows, the power source voltage  $V_{cc}$  is a positive value and the power source voltage  $V_{ss}$  is 0 V. When the voltage of input terminal 1 is 0 V, p channel MOS transistor 4 is turned on, current flows to the base of bipolar transistor 7, and this bipolar transistor 7 is turned on. On the other hand, because 1 is at 0 V and 6 is on, bipolar transistor 8 is not turned on, with its base voltage being 0 V. As a result, current flows to output terminal 2 and its voltage rises. The voltage of output terminal 2 eventually becomes  $V_{cc} - V_{BE}$ , which is the value obtained by subtracting the voltage between the base and emitter of transistor 7,  $V_{BE}$ , from the voltage  $V_{cc}$  of a positive power source. On the other hand, when input 1 is at a high potential, 4 and 7 are OFF, 8 turns on because base current is supplied through 6, and the output drops to a low potential. By means of the technology

discussed below, current is always passed by bipolar transistors when output rises and falls, and therefore, while drive performance increases and high-speed actuation can be expected, there are the following problems: That is, by means of the conventional circuit in Figure 30, the voltage of output terminal 2 does not rise to voltage  $V_{CC}$  of a positive power source. Moreover, the voltage on the high potential side of input terminal 1 goes from  $V_{CC}$  to  $V_{SS}$  with all of the transistors being turned on simultaneously. In order to prevent so-called through-type current, [the voltage] must be high at  $V_{CC} - |V_{T4P}|$ . Here,  $V_{T4P}$  is the threshold voltage of p MOS transistor 4. Therefore, when, for instance, the front step of this circuit is actuated at low amplitude in order to reduce power consumption,  $V_{CC}$  in Figure 30 inevitably drops and the voltage of output terminal 2 remains low.

It is not possible to raise the output voltage sufficiently with the above-mentioned type of conventional circuit. When the output voltage is low, the actuation of the next step of the circuit is delayed and when the LSI is viewed as a whole, high-speed bipolar transistors cannot be utilized to their fullest extent. This problem will become increasingly obvious in the future when device refinement and reduced power source voltage become necessary. Consequently, there is a need for a circuit that uses strong drive performance of bipolar transistors and outputs a sufficiently high output level. Moreover, this problem also occurs with conventional CMOS circuits without using bipolar transistors.

[Object of the Invention]

The object of the present invention is to improve on these conventional problems and present a semiconductor device with which it is possible to obtain sufficiently high output level, even with input signals of a low amplitude.

#### [Summary of the Invention]

In order to accomplish the above-mentioned object, the semiconductor device of the present invention is made from a circuit that has input that is controlled by a pre-stage circuit, and at least one insulated-gate field-effect transistor. This circuit has one or more reference voltages and at least one of the above-mentioned reference voltages is set higher than the reference voltage of the pre-stage circuit that controls the above-mentioned circuit. Moreover, a switch means is set up in between this reference voltage and the input of this circuit. Thus, both the input voltage and an independent high output voltage can be obtained.

#### [Examples of the Invention]

The present invention will now be described in detail using examples.

Figure 1 is an example of the concept of the present invention.

C is the input terminal from the front-step circuit, and D is the output terminal. High-amplitude output D is obtained from low-amplitude input C by means of this circuit.  $B_1$ ,  $B_2$ , and  $B_3$  are alternating current or pulse high-voltage application terminals. Of these,  $B_1$  supplies high voltage to node F through switch 12,  $B_2$  supplies high voltage to node p MOS 13, and  $B_3$  supplies high voltage to the collector of the bipolar transistors. These terminals  $B_1$ ,  $B_2$  and  $B_3$  can be separate, but two of them or all of them may also be connected. A is the

control terminal of switch means 11. The output voltage is raised by bipolar transistor 15 and the output voltage is lowered by circuit block 16. 13 and 14 are the p MOS and n MOS transistors for controlling transistor 15. The number of inputs can be freely modified by increasing or decreasing the number of switches 11 of Figure 1. The high-voltage side of input C of a low amplitude or control input A is abbreviated  $V_A$  and the high-voltage side of the direct current or pulse applied to terminals  $B_1$ ,  $B_2$ , and  $B_3$  is abbreviated  $V_H$  in the drawings and the examples that follow. The voltage of these terminals is not necessarily exactly  $V_A$  or  $V_H$ , but  $V_A$  will serve as the low-voltage system and  $V_H$  will serve as the high-voltage system in order to simplify the explanation.

The actuation in Figure 1 is described below. First, C is brought to a low potential with switch 11 ON and 12 OFF, F is brought to a low potential and 13 turns on and 14 turns off. As a result, base potential G of 15 becomes  $V_H$  and the output voltage is raised quickly to the high potential  $V_H - V_{BE}$  by bipolar transistor 15.  $V_{BE}$  here is the voltage between the base and emitter. Next, when input C is brought to a high potential, the potential of F rises through switch 11 to become  $V_A - V_{T11n}$ .  $V_{T11n}$  here is the threshold voltage of the n MOS comprising switch 11. As a result, 14 turns on, 15 turns off, and 16 turns on and the output potential of D drops. Input C switches to a high potential and switch 12 is turned on at almost the same time to bring the potential of F to  $V_H$ , which is higher than  $V_A - V_{T11n}$ . Thus, the through current, which passes through 13 and 14, can be prevented. When the potential of F is higher than C and A, switch 11 automatically turns off and the potential of F rises independent of the input.

Means 16, which lowers the output potential, can be made from one n MOS transistor as shown in the same figure, but when a bipolar and MOS combined circuit is used for this part as shown in Figures 2 and 3, the output voltage can be raised at a faster speed. Furthermore, when n MOS 16, which is shown in Figure 1, and any one of [the circuits] shown in Figures 2 and 3 are connected in parallel, the output potential can be lowered at a fast speed to 0 V.

An example of the structure of the pre-stage circuit connected to input C in Figure 1 is shown in Figures 4, 5, 6, and 7. Figure 7 is a bipolar-CMOS combined gate circuit. These all have three input NAND functions. The reference voltage is low at  $V_A$  and therefore, the output voltage is also  $V_A$  or is lower than  $V_A$ . In Figures 4 and 5, C has already been pre-charged to a high potential at p and  $\bar{p}$ , and C is discharged when  $I_1$ ,  $I_2$ , and  $I_3$  are all of high potential. There are no special pre-charge signals in Figures 6 and 7, but one or all of  $I_1$ ,  $I_2$  and  $I_3$  has already been brought to a low potential and C has been pre-charged to a high potential. When the circuit in Figure 5 or 7 is used for the pre-stage circuit in Figure 1, switch 11 can be omitted. The reason is that an n MOS or bipolar transistor is connected to the output in Figure 5 and Figure 7 and the problem of latch-up, etc., is prevented, even if C is raised to a high voltage of  $V_A$  or higher by actuation of the last-step circuit.

Next, a more specific example of the concept of the present invention in Figure 1 is shown in Figure 8. This example is one wherein switch 12 in Figure 1 is made from a p MOS and this source is connected to the source of p MOS 13 to serve as terminal  $B_1$ .

Next, the actuation of this circuit will be described using the voltage waveform graphs in Figures 9 and 10. Figure 9 is the case where the terminal of gate A of n MOS 11 is always at the high potential  $V_A$ . The high-potential side of input C is also brought to  $V_A$ . When C becomes a high potential with E in a high-potential state, the potential of F becomes the potential  $V_A - V_{T11n}$  through n MOS 11. Next, when E becomes a low potential, 12 (p MOS) turns on and the potential of F becomes  $V_H$ . As a result, 13 (p MOS) turns off, 14 (n MOS) turns on, bipolar transistor 15 turns off, and 16 (n MOS) turns on, and output D is brought to a low potential. Furthermore, when F rises to the high potential  $V_H$ , the potentials of A and C are  $V_A$  and therefore, 11 is off and the potential at point C remains at  $V_A$ . On the other hand, when C is brought to a low potential with E in a high-potential state, 11 turns on and F and C both are brought to a low potential. As a result, 13 turns on, 14 turns off, node G becomes  $V_H$ , and output D is charged at a fast speed to a high potential. The high potential of this output is  $V_H - V_{BE}$ . Furthermore, by means of this circuit, when the period  $t_{CE}$  from when C is brought to a high potential  $V_A$ , as shown by the wave line in Figure 5, until E is brought to a low potential is long, the high potential of F is limited to  $V_A - V_{T11n}$  for a while, and therefore, through current flows to 13 and 14 and there is a time when D is held at an insufficiently low potential. Consequently, curtailing the time of  $t_{CE}$  is undesirable by systems with which A is usually at a high potential. Therefore, when C is brought to a high potential, E should be simultaneously switched to a low potential. The above-mentioned problem can be completely eliminated in this way. Figure 10 is another example wherein the above-



mentioned through current is not allowed to flow. It is a system with which A is pulse driven in the circuit in Figure 8. Control terminal A is brought to a low potential before E is switched to a low potential at times  $t_1$  and  $t_3$  and the potential of C at this time can be any [potential]. When E is brought to a low potential, F is brought to the high potential  $V_H$ , but n MOS 11 remains off because A is at a low potential. As a result, output D is brought to a low potential, as previously described. Next, E returns to a high potential, and when A is brought to a high potential at time  $t_2$  with input C in a low-potential state, F is brought to a low potential. As a result, output D is charged to the high potential  $V_H - V_{BE}$ . On the other hand, if input C is at a high potential as at time  $t_4$ , 11 remains off and output D remains at 0 V. Moreover, then even if switch 12 is turned on at  $t_5$ , F stays at  $V_H$  and output D stays at 0 V. Thus, by means of the system in Figure 10, the potential of F is brought to the high potential  $V_H$  by switch 12 only, and therefore, the period in which the potential becomes  $V_A - V_{T11n}$  shown by the wave line in Figure 5 does not exist. It is possible to obtain high-amplitude output D from the low input of low-amplitude signals C and A by actuation of this circuit.

Furthermore, although switch 12 is made from a p MOS in Figure 8, it can also be made from an n MOS, as shown in the example in Figure 11. However, in this case, the polarity of the control signal E must be the opposite of that in Figures 9 and 10, and furthermore, in this case it is necessary to bring the potential of E to  $V_H + V_{T12n}$  or higher in order to bring F to the high potential  $V_H$ .  $V_{T12n}$  here is the threshold voltage of 12 (n MOS).

The above-mentioned is a system with which A (switch 11) and E (switch 12) are synchronized. That is, switch 11 is always turned off before 12 is turned on and 12 is always turned off before 11 is turned on. Next, a system with which E is replaced by G will be discussed.

The example in Figure 12 is one where switch 12 is made from a p MOS and it is controlled by the output G of the next-step CMOS. The control signal E in Figures 8 and 11 has been omitted. Actuation of the circuit in Figure 12 will be explained using the voltage waveform graph in Figure 13. First, when input C is brought to the low potential of 0 V with control input A of switch 11 in a state of high potential  $V_A$ , switch 11 is turned on and therefore, F is brought to 0 V, switch 13 turns on, and 14 turns on. Thus, the potential of G is brought to  $V_H$  and bipolar transistor 15 turns on and 16 turns off. Output D is raised at a fast speed by the bipolar transistor and the output potential eventually becomes  $V_H - V_{BE}$ . The potential of G is  $V_H$  and therefore, switch 12 (p MOS) changes from ON to OFF. Next, when input C is brought to a high potential, the potential of F rises to the potential of  $V_A - V_{T11n}$  through 11 (n MOS). As a result, 14 is turned on and 13 almost turns off. The potential of G drops and 12 is turned on. Therefore, the potential of F rises further and the potential of G drops further until eventually, F is brought to  $V_H$  and G is brought to 0 V. When the potential of F rises from  $V_A - V_{T11n}$  to  $V_H$ , switch 11 automatically turns off and the potential of input C remains constant. Thus, positive regression is applied by 12, 13, and 14.

Furthermore, although the control input A of switch 11 is always at a high potential in Figure 13, when a pulse voltage is applied to A, output D can be

changed in accordance with input C, as described above, when A is at a high potential, while output D can be held constant at the previous high potential or low potential, regardless of the change in input C, when A is at a low potential.

By means of the above-mentioned example, excess pulse signals are not needed from the outside and output D of a high voltage can be obtained from input C of a low voltage.

By means of the examples in Figures 8, 11 and 12 discussed thus far, switch 12 is made from an MOS transistor, but Figure 14 is an example of switch 12 made from a diode (bipolar or MOS diode) rather than an MOS transistor. Figure 15 is the voltage waveform graph. Figure 15 shows the case where the n MOS gate of switch 11 has been brought to the standard high voltage  $V_A$ . This corresponds to the electrical waveform graphs in Figures 9 and 13. Of course, switch 11 can be actuated as in Figure 10 by applying a pulse to its gate. Immediately after input C has been brought to the high potential  $V_A$ , signals that increase to potential  $V_H + V_{BE}$  are applied to the anode side  $B_1$  of diode 12 in Figure 15 and point F is charged to  $V_H$  through diode 12. Moreover, output D is brought to 0 V. When  $B_1$  returns to 0 V, 12 receives a reverse bias and turns off. Then when input C is brought to a low potential, the potential of F becomes 0 V through 11 and output D is charged up to  $V_H + V_{BE}$ . If input C remains at the high potential  $V_A$  when the potential of point F is  $V_H$ , output D will remain at 0 V without neglecting point F. By means of the above-mentioned example as well, the same high voltage output as with the previous examples can be obtained.

---

\* This may be a typo for "discharging"—Trans. Note.

Furthermore, the example in Figure 16 is a combination of using the system in Figure 8 whereby switch 12 is controlled by control signal E and the system in Figure 12. 12-1 (p MOS) in this figure is the switch that sets F to the high potential  $V_H$  using control signal E from the outside, and 12-2 is the switch that sets F to the high voltage  $V_H$  using output G of the CMOS inverter made from 14 and 15 as the control signals. The actuation of this circuit is the same as the actuation of the circuit in Figure 8, but when compared to the circuit in Figure 8, there is an advantage in that there is both stable and high-speed actuation of the circuit as a result of adjusting the gate width of the p MOS of 12-1 and 12-2. That is, when switches 11 and 12-1 are OFF, 12-2 turns on and point F is not brought to a floating state. Therefore, noise rarely penetrates point F from the outside and point F can be stably maintained at a high potential and output D can be stably maintained at a low potential. Moreover, point F is charged from a low potential to a high potential by turning 12-1 on, and therefore, if the gate width of 12-1 is increased, point F can be raised at a fast speed and output D can be lowered at a fast speed. On the other hand, if the gate width of 12-2 is small, point F can be lowered at a fast speed and output D can be raised at a fast speed. Thus, the raising and lowering of output D can both be performed at a fast speed.

Furthermore, the examples given above have all been cases of one input (C) and one output (D), but when there are multiple inputs, [the device] can be made by multiple parallel connections of switches 11 in accordance with the number of inputs. Figure 17 shows one example where Figure 12 has been

changed to accommodate three inputs. In Figure 17, the three inputs ( $C_1, C_2, C_3$ ) and switches  $A_1, A_2$  and  $A_3$ , which control these [inputs] are applied to each switch 11-1, 11-2, and 11-3. By means of this circuit, all of inputs  $C_1$  through  $C_3$  of the switches whose signal  $A_i$  ( $i = 1, 2, 3$ ) is brought to high voltage  $V_A$  are kept inside [the circuit], and the corresponding output is obtained from the output terminal. When  $A_1, A_2$  and  $A_3$  are all at low potential, the potentials of outputs D, F and G are maintained as before, so that a constant voltage can be continuously maintained, regardless of changes in  $C_1, C_2$ , or  $C_3$ .

Since the rise in the output is performed at a fast speed in each of the above-mentioned examples, a bipolar transistor was used for the output, but depending on the case, it is also possible to omit the bipolar transistor and obtain the output from point G of each example. In this case, a bipolar transistor is not used, and therefore, the device is inferior in terms of fast speed, but an output of a high amplitude can be obtained from an input of a low amplitude. Next, the structure of these [devices] will be discussed, and Figures 17 and 18 are examples of this. Figure 17 corresponds to Figure 1 and Figure 18 corresponds to Figure 8. Bipolar transistor 15 for output charging and n MOS transistor 16 for discharging in Figures 1 and 8 have been omitted. The actuation of the circuit and the voltage waveform are the same as previously discussed. However, while the rise in output is delayed because there is no bipolar transistor, there is an advantage in that the potential  $V_H$  of  $B_2$  is obtained intact as output, that is, without the voltage drop of output  $V_{BE}$ , through p MOS transistor 13. As in the examples given thus far, terminals  $B_1$  and  $B_2$  in Figures 17 and 18 can be

separate, or the same voltage  $V_H$  can be supplied by connecting [the terminals] as shown by the wave line.

The present invention can be used for a variety of purposes, but it is particularly ideal as the word driver for semiconductor memory devices, including static memories (SRAMs), dynamic memories (DRAMs), and read only memories (ROMs) that use MOS memory cells. This is because in order to realize high-speed semiconductor memory devices, it is necessary to drive the word line that is to be selected at high speed and high amplitude, to increase the signal voltage, and as a result, to increase the S/N ratio, and further, increase the storage voltage, and improve resistance to soft error. The details of the above-mentioned are set forth in "High density one-device dynamic MOS memory cells," IEEE PROC., vol. 130, Pt. I., No. 3, JUNE 1983, pp. 127-135.

Figure 20 is a block diagram of a semiconductor memory (DRAM, SRAM, ROM) and shows the memory cell array and peripheral circuit group.

i Number of word lines WL and j number of data lines DL are set up intersecting one another in memory cell array MCA, and memory cells MC are placed at N number of the points of intersection between the word lines and the data lines. Each address input  $X_0$  through  $X_n$  and  $Y_0$  through  $Y_n$  is applied to address buffer circuits ABX and ABY, and this output is transmitted to decoder driver circuits XD and YD. Of these decoder driver circuits XD and YD, the word lines are driven by circuit XD and the write-read circuit RC is driven by circuit YD so that the writing of information on the memory cell MC that has been selected from memory cell array MCA, or the reading of information from this memory cell

MC is performed. CC is the write-read control circuit, and this circuit CC controls the above-mentioned address buffer circuits ABX and ABY, decoder drive circuits XD and YD, write-read circuit RC, and output circuit OC by chip selector signals CS, write actuation control signals WE, and input signals DI. Output circuit OC is the circuit for externally outputting the information that has been read by write-read circuit RC. Furthermore, a static MOS memory cell is shown in Figure 20 and a dynamic MOS memory cell is shown in Figure 21 as examples of memory cell MC. Moreover, although omitted from the figures, a read-only MOS memory cell is also used. The circuit structure of the peripheral circuit group varies with the type of memory cell, but a high-speed, high-amplitude driving of the word line is an essential condition for the rapid and stable actuation of any of these memory cells.

Examples in which the present invention is used for the semiconductor memory cell (memory hereafter) word driver are given below.

Figure 23 is one example of a decoder and word driver. DEC is the decoder circuit, WD0, WD1, WD2, and WD3 are word drivers. The circuit shown in the example in Figure 8 is used as the word driver. By means of this circuit, four word drivers use the output C of one decoder circuit. Switches 11-1, 11-2, 11-3, and 11-4 made from n MOSs are placed between the decoder and the word drivers and these are controlled by signals  $AT_0$ ,  $AT_1$ ,  $AT_2$  and  $AT_3$ .  $P_1$  and  $P_2$  are pre-charge signals of each decoder and word line and charge point C to  $V_A$  and points  $F_0$ ,  $F_1$ ,  $F_2$  and  $F_3$  to  $V_H$  when the memory is on stand-by or during the pre-charge period.  $AX_1$ ,  $AX_2$ , and  $AX_3$ , and  $AT_0$ ,  $AT_1$ ,  $AT_2$ , and  $AT_3$  are the

outputs of the address buffer circuit or the pre-decoder circuit.  $C$  is in a selective state at a low potential when  $AX_1$ ,  $AX_2$  and  $AX_3$  are all at a high potential.

Furthermore, when one of [the signals]  $AT_0$ ,  $AT_1$ ,  $AT_2$  or  $AT_3$  is at a high potential, the output of the word driver connected to this [output] is charged to a selective state at high potential. Next, the actuation in Figure 23 will be

explained using the voltage waveform graph in Figure 24.  $\overline{CS}$  in Figure 23 corresponds to the  $\overline{CS}$  in Figure 19 and is the basic input signal that controls the timing of the memory chip. The input voltage of a TTL interface is assumed here.

A high potential indicates that [the memory] is on stand-by or that it is in the pre-charge period, and the memory is in the state of actuation during the period of low potential. First, the "top 1" of the cycle in Figure 24 will be explained. When

$\overline{CS}$  is high,  $P_1$  and  $P_2$  are 0 V and  $C$  is charged to the high potential  $V_A$  while  $F_0$ ,  $F_1$ ,  $F_2$ , and  $F_3$  are charged to the high potential  $V_H$  by p MOS 30 and 12. Word lines  $W_0$ ,  $W_1$ ,  $W_2$  and  $W_3$  are all at low potential of 0 V at this time. When  $\overline{CS}$  is brought to a low potential and the memory is in an actuated state,  $P_1$  is brought to the high potential  $V_A$  and  $P_2$  is brought to the high potential  $V_H$ , and pMOS 30 and 12 are both OFF. When  $AX_1$ ,  $AX_2$  and  $AX_3$  are all at the high potential  $V_A$  at this time,  $C$  becomes 0 V. Furthermore, when only  $AT_0$  is at the high potential  $V_A$  and the others,  $AT_1$ ,  $AT_2$ , and  $AT_3$  are at a low potential, only  $F_0$  is at 0 V and  $F_1$ ,  $F_2$ , and  $F_3$  remain at the high potential  $V_H$ . As a result,  $W_0$  is charged to the high potential  $V_H - V_{BE}$  and  $W_1$ ,  $W_2$ , and  $W_3$  remain at the low potential of 0 V. Once reading and re-writing of the memory is completed, all AX and AT signals are brought to a low potential in accordance with the  $\overline{CS}$  input, and further,  $P_1$



and  $P_2$  are brought to a low potential and  $C$ ,  $F_0$ ,  $F_1$ ,  $F_2$ , and  $F_3$  are once again charged to a high potential. As a result, the selected word line  $W_0$  also returns to 0 V. By means of the next cycle "top 2", the address input is changed and it is assumed that some or all of signals  $AX_1$ ,  $AX_2$ , and  $AX_3$  remain at a low potential. At this time, even if decoder output  $C$  remains as is at  $V_A$ , for instance, if  $AT_0$  is brought to  $V_A$ ,  $F_0$  is not discharged and therefore, output  $W_0$  remains at 0 V. CS input is at a high potential in a state of stand-by  $t_{ST}$  and therefore,  $P_1$  and  $P_2$  remain at a low potential and  $AX$  and  $AT$  also remain at a low potential. All word output is held at a low potential at this time. Decoder circuit DEC in Figure 23 is the same three input NAND circuits as in Figure 4, but the circuits in Figures 5, 6 and 7 can also be used. Moreover, the number of inputs of the decoder can be a number other than three, and the number of word drivers that use the output of one decoder can easily be a number other than four.

Figure 25 shows the circuit in Figure 16 used for the word driver. This decoder and word driver are controlled in the same way as in Figure 24, but this word driver can realize both stable actuation and high speed as described in Figure 16. That is, when  $P_2$  is at a high potential and decoder output  $C$  is at a high potential, or when  $P_2$  is at a high potential and switches 11-1 through 11-4 are OFF, the potential of  $F_0$  through  $F_3$  can be stably maintained at  $V_H$  by actuation of switch 12-2. Consequently, noise is rarely induced at points  $F_0$  through  $F_3$  of the other word drivers, even when a certain word switches from low potential to high potential, and the words that have not been selected can be

stably maintained at a low potential. Moreover, the gate width of 12-1 and 12-2 can be adjusted for the high-speed response of points  $F_0$  through  $F_3$ .

Furthermore, Figure 26 shows the case where the example in Figure 18 is used for the word driver of the example in Figure 23. A bipolar transistor is not necessary and therefore, production cost can be reduced. The circuit actuation is almost the same as in Figure 23 and therefore, its description has been omitted.

Now, an example of using the present invention in the word driver of a memory is shown in Figures 22 through 26. It is necessary to switch from low-amplitude input to high-amplitude output at high speed not only at the word driver of the memory, but throughout the input-output circuit of the memory and other integrated circuits in general. Figure 27 shows the case where signals are obtained from the low-amplitude circuit system 45, which is actuated at reference voltage  $V_A$ , and high-amplitude output D is obtained using the conversion circuit of the present invention. References 41 through 44 indicate the inverters, which constitute system 45, or the logic circuits.  $V_A$  is supplied to their power source terminal J. High voltage  $V_H$  is applied to B as the reference voltage of 46 and, when necessary, the direct current of the pulse voltage of voltage  $V_A$  is applied to A. A, B, C, and D correspond to the same references A, B, C and D in the figures of the above-mentioned examples. This type of circuit structure is widely present, for instance, in components in which there is conversion from an ECL low-amplitude input to the high-amplitude MOS level, and components in which

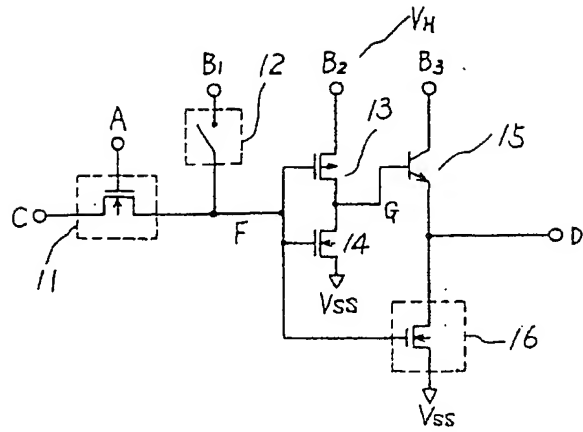
there is conversion from the low-amplitude signals of the sense amp of the memory to the high-amplitude output of a TTL, etc.

However, by means of the structure in Figures 1 through 27, two positive power sources, a power source that supplies voltage  $V_A$  and a power source that supplies voltage  $V_H$ , are necessary. These power sources, of course, can supply electricity separately from outside the chip, but it is also possible for only one to supply electricity from outside the chip and generate, while the other generates and supplies electricity inside the chip based on [this electricity from outside the chip] as the reference, or for both sources to generate electricity inside the chip based on another power source as the reference. Consequently, it is also possible that of the above-mentioned examples, by means of one in which two positive power sources are necessary and one is an outside positive power source, for instance, the higher of two voltages is supplied directly from the outside power source, while the lower [voltage] is supplied by reducing the voltage of the outside positive power source further using a voltage limiter circuit, as shown in Patent Applications No. 56-[1981]-168,698 and No. 57[1982]-220,083. Moreover, depending on the case, it is also possible to supply the lower voltage from two required power sources from an outside positive power source and to raise the voltage of the outside positive power source using a booster circuit and then to supply this higher voltage.

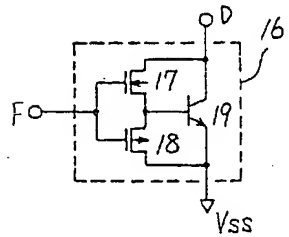
Figure 28 is an example of the booster circuit used in the present invention.

By means of this circuit, voltage  $V_A$  is supplied from the outside positive power source to generate the high voltage  $V_H$ . The circuit in Figure 28 is one in which so-called charge-pump booster circuits  $CP_1$  and  $CP_2$  have been arranged in parallel. The actuation theory of the charge-pump booster circuit is well-known and will not be described here. Here, Zener diode 192 is for leaking of current when the voltage of terminal 194 becomes too much higher than the desired level  $V_H$  and for preventing the potential from rising further. However, it can be omitted when it is not necessary. Moreover, it is also possible to successively connect multiple MOS diode circuits, wherein the gate and drain of a conventional diode or MOS transistor have been connected, and use this in place of Zener diode

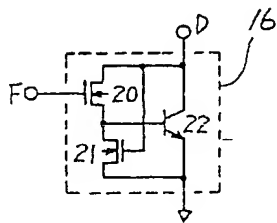
第 1 図



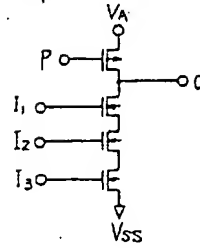
第 2 図



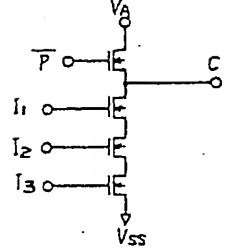
第 3 図



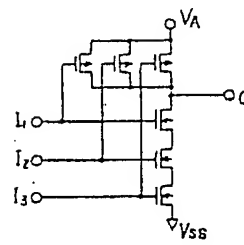
第 4 図



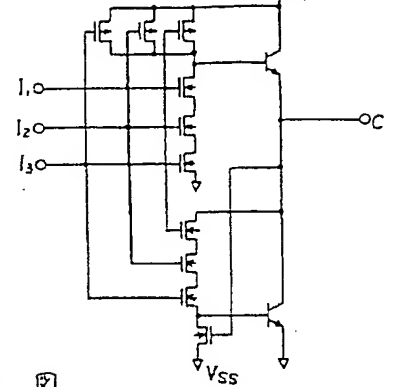
第 5 図



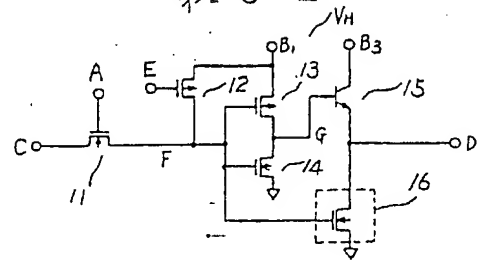
第 6 図



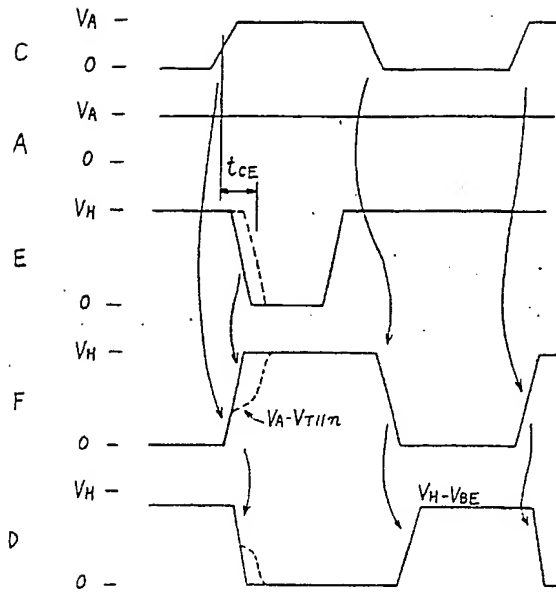
第 7 図



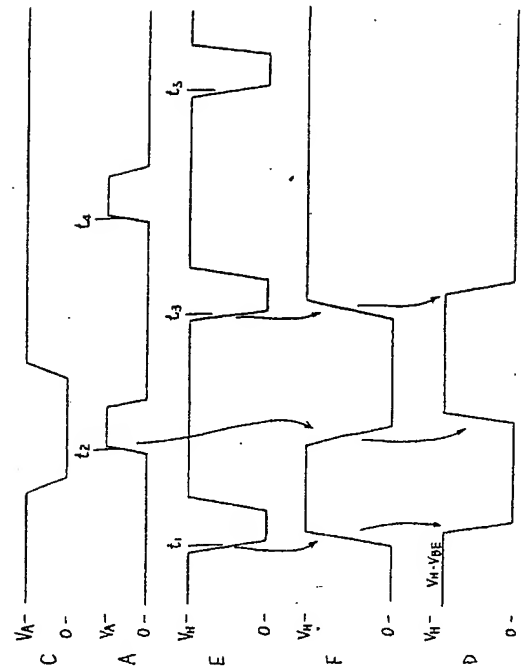
第 8 図



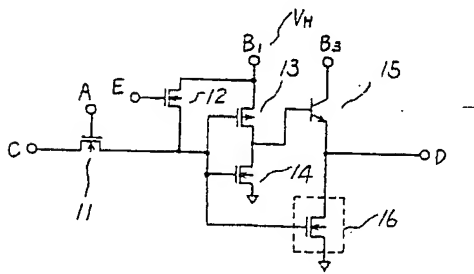
第 9 図



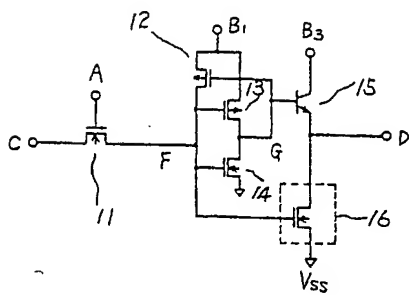
第 10 図



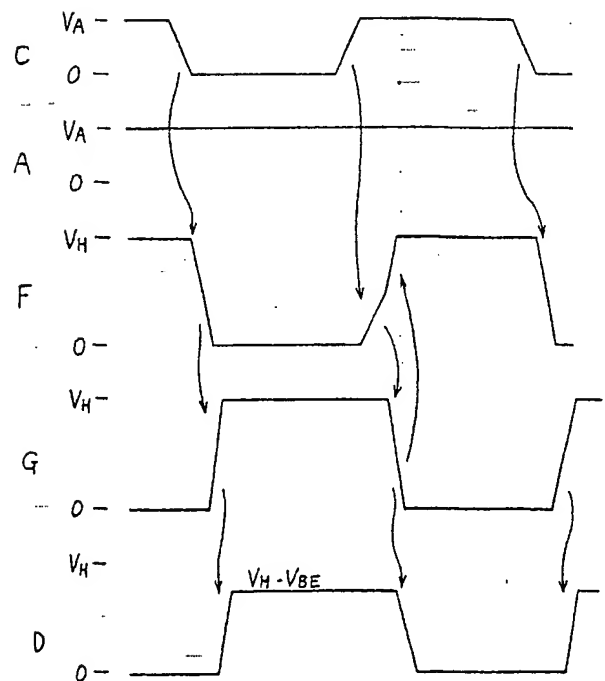
第 11 図

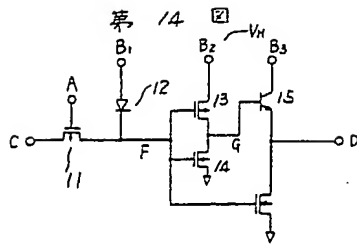


第 12 図

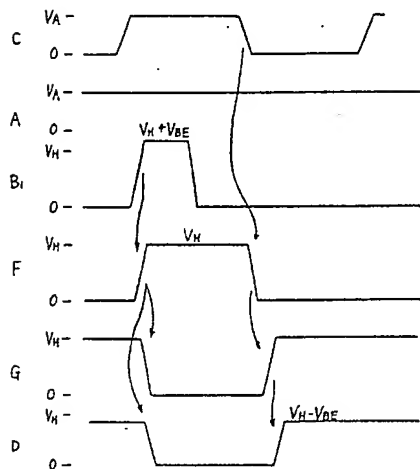


第 13 図

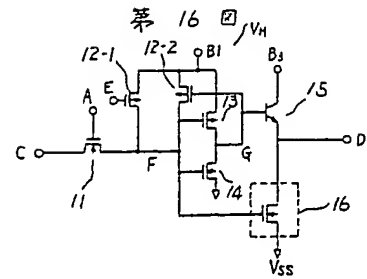




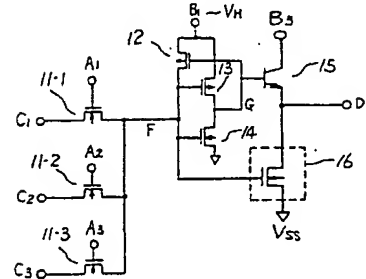
第 14 図



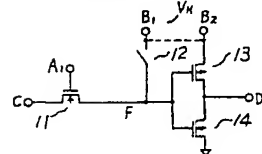
第 15 図



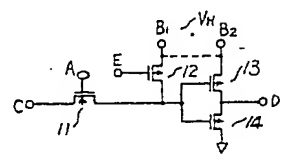
第 16 図



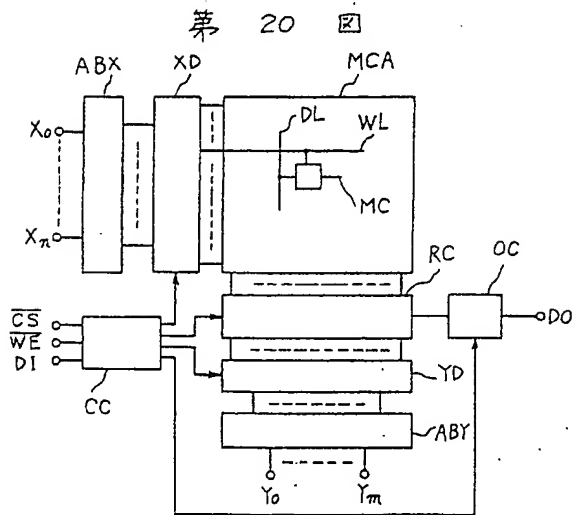
第 17 図



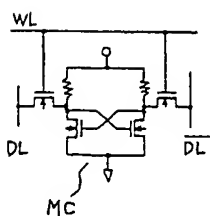
第 18 図



第 19 図

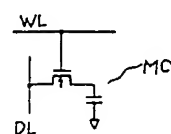


第 20 図

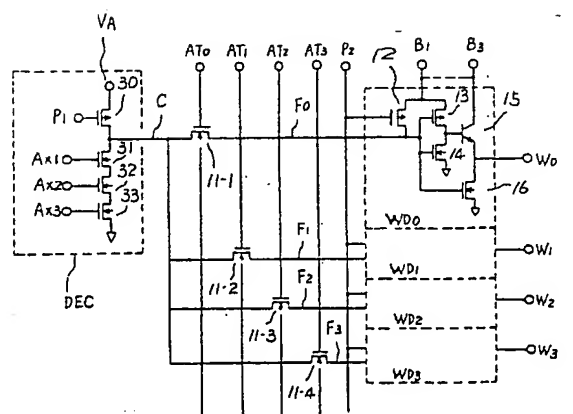


第 21 図

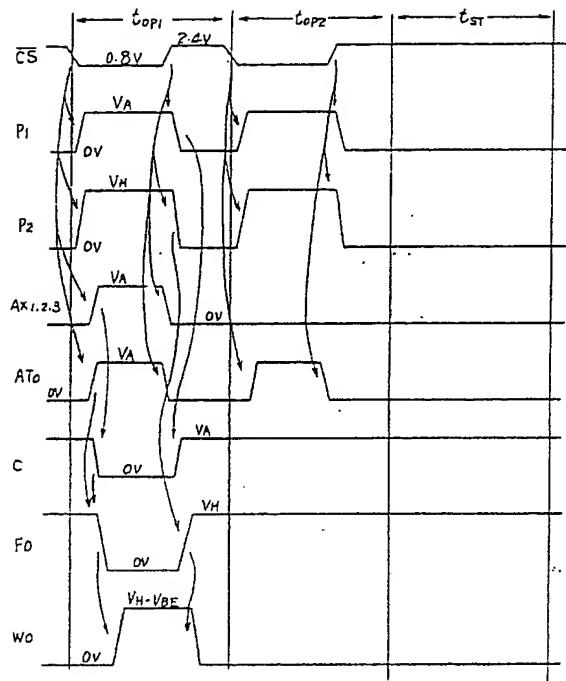
第 22 図



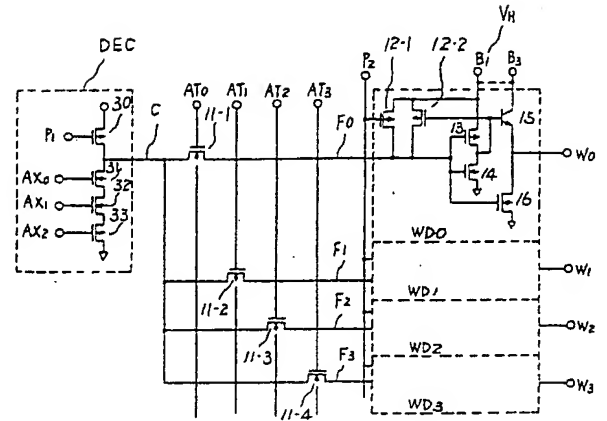
第 23 図



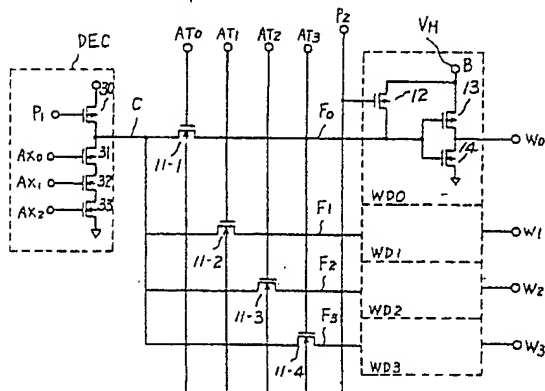
第 24 図



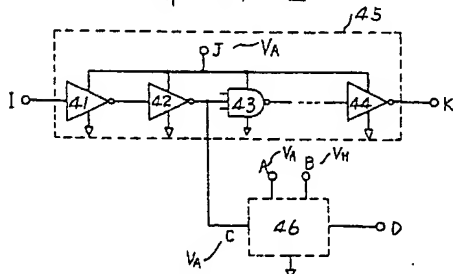
第 25 図



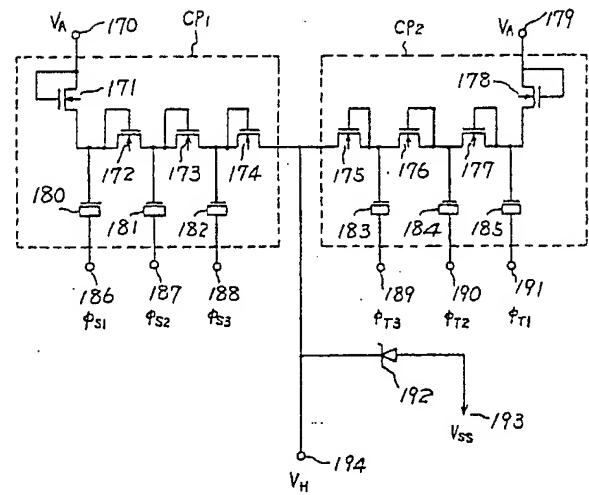
第 26 図



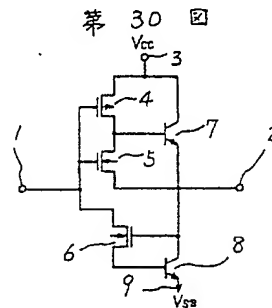
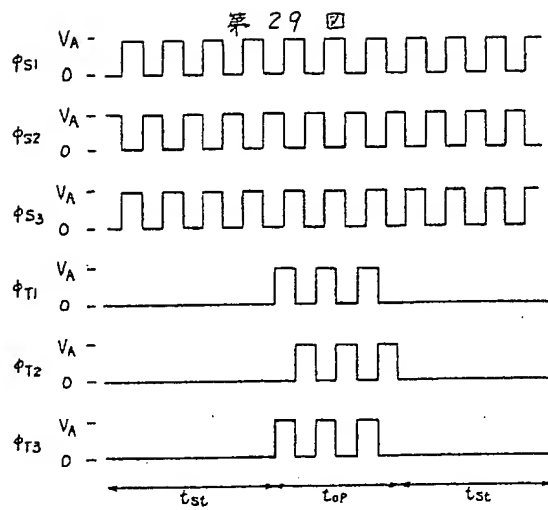
第 27 図



第 28 図







第1頁の続き

⑦発明者	河原	尊之	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中、 央研究所内
⑧発明者	伊藤	清男	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中、 央研究所内

## ⑫ 公開特許公報(A)

昭62-178013

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月5日

H 03 K 17/693  
19/00

1 0 1

A-7190-5J  
Z-8326-5J

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-17929

⑰ 出 願 昭61(1986)1月31日

⑱ 発 明 者 橋 川 五 郎 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内⑲ 発 明 者 堀 陵 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内⑲ 発 明 者 川 尻 良 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内⑲ 発 明 者 渡 部 隆 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

発明の名称 半導体装置

## 特許請求の範囲

1. 前段回路により制御される入力と、少なくとも1個の絶縁ゲート形電界効果トランジスタを含む回路で構成され、該回路の基準電圧のうち少なくとも1個の基準電圧は前段回路の基準電圧より高く設定し、該基準電圧と該回路の入力との間に第1のスイッチ手段、前段回路の出力と該回路の入力との間に第2のスイッチ手段を設け、該回路の入力の高電位は該第1のスイッチをオン、該第2のスイッチをオフすることにより供給し、該回路の入力の低電位は該第1のスイッチをオフ、該第2のスイッチをオンし、該第2のスイッチに接続された前段回路から供給することを特徴とする半導体装置。
2. 上記半導体回路に少なくとも1個のバイポーラトランジスタを含むことを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

## 〔発明の利用分野〕

本発明は半導体装置に係り、特に高い駆動能力と大きな出力振幅を得るのに好適な、半導体回路に関するものである。

## 〔発明の背景〕

従来、バイポーラトランジスタとMOSトランジスタを用いた回路として、特開昭59-25423号公報に示された半導体装置がある。

第30図は上記半導体装置の回路図である。以下、この回路の動作並びに問題点を説明する。

PチャネルMOSトランジスタ4とNチャネルMOSトランジスタ5からなるCMOS(相補形MOS)インバータとバイポーラトランジスタ7の組合せ回路と、nMOSトランジスタ6とバイポーラトランジスタ8の組合せ回路を縦続に接続したものである。以下、電源電圧 $V_{cc}$ を正の値、電源電圧 $V_{ss}$ を0Vとして説明を行う。入力端子1の電圧が0Vの時、PチャネルMOSトランジスタ4がオンし、バイポーラトランジスタ7のベースに電流が流れ、このバイポーラトランジスタ

7 はオンする。一方バイポーラトランジスタ 8 は、1 が 0 V で、かつ 6 がオンのためベースの電圧は 0 V となり、オンしない。この結果、出力端子 2 へ電流が流れ、その電圧が上昇する。出力端子 2 の電圧は最終的には正電源の電圧  $V_{cc}$  からバイポーラトランジスタ 7 のベース・エミッタ間電圧  $V_{BE}$  を差し引いた値  $V_{cc} - V_{BE}$  になる。一方、入力 1 が高電位の場合は、4, 7 はオフ、8 は 6 を介してベース電流が供給されるためオンとなり、出力 2 は低電位に降下する。以下述べた技術によれば、出力の立ち上り、立ち下り時には常にバイポーラトランジスタにより電流が流れるため、駆動能力が大きくなり、高速動作が期待できる反面、次のような不都合を生じる。すなわち、第 30 図に示す従来回路では、出力端子 2 の電圧は正電源の電圧  $V_{cc}$  までには上昇しない。また、入力端子 1 の高電位側の電圧を、すべてのトランジスタが同時にオンして  $V_{cc}$  から  $V_{ss}$  に流れる、いわゆる貫通電流を防ぐために  $V_{cc} - |V_{TAP}|$  以上と高くする必要があることである。ここで  $V_{TAP}$  は PMOS

トランジスタ 4 のしきい値電圧である。このためこの回路の前段を例えば低電力化のために低振幅動作をさせると、第 30 図の  $V_{cc}$  も下げざるを得ず、出力端子 2 の電圧はますます下がってしまう。

以上のように従来回路では、出力電圧を十分高くとることができない。出力電圧が低いと、次段回路の動作が遅くなり、LSI 全体としてみた場合、バイポーラトランジスタの高速性を十分に発揮できない。この問題は、将来、デバイスが微細化され、電源電圧を低くする必要が生じた時にますます顕著となる。したがってバイポーラトランジスタの高駆動能力を活した上で、十分に高い出力電圧を出せる回路が望まれる。また、この問題はバイポーラトランジスタを用いない、一般の CMOS 回路においても同様に生じる。

#### 〔発明の目的〕

本発明の目的は、この様な従来の問題点を改善し、低振幅の入力信号に対しても、十分高い出力電圧を得ることが可能な半導体装置を提供することにある。

#### 〔発明の概要〕

上記目的を達成するため、本発明の半導体装置では、前段回路により制御される入力をもち、かつ少なくとも 1 個の絶縁ゲート形電界効果トランジスタを含む回路で構成され、該回路は 1 個以上の基準電圧を持ち、上記基準電圧のうち少なくとも 1 個を、上記回路を制御する前段回路の基準電圧よりも高く設定すると共に、該基準電圧と該回路の入力との間にスイッチ手段を設けることにより、入力電圧と独立の高い出力電圧を得ることができるようにするものである。

#### 〔発明の実施例〕

以下、本発明を実施例を用いて詳細に説明する。

第 1 図は本発明の概念を示す実施例である。

C は前段回路からの入力端子であり、D は出力端子である。本回路により低振幅入力 C から高振幅出力 D を得る。B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub> は直流又はパルスの高電圧印加端子である。このうち B<sub>1</sub> はスイッチ 12 を通してノード F に高電圧を供給し、B<sub>2</sub> は PMOS 13 のソースに高電圧を供給し、また

B<sub>3</sub> はバイポーラトランジスタのコレクタに高電圧を供給する端子である。これら B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub> は分離しても良いが、このうちの 2 個あるいは全部を接続しても良い。A はスイッチ手段 11 の制御端子である。バイポーラトランジスタ 15 で出力電圧を立ち上げ、回路ブロック 16 で出力を立ち下げる。13, 14 は 15 を制御するための PMOS, nMOS トランジスタである。第 1 図のスイッチ 11 の数を増減することにより、入力数を自由に変更できる。本図および後述の実施例では低振幅の入力 C あるいは制御入力 A の高電圧側を V<sub>A</sub>、また端子 B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub> に印加する直流又はパルスの高電圧側を V<sub>H</sub> と記す。これらの端子の電圧は必ずしも V<sub>A</sub> あるいは V<sub>H</sub> に完全に一致する必要はないが、説明を単純にするための低電圧系を V<sub>A</sub>、高電圧系を V<sub>H</sub> とする。

以下第 1 図の動作を説明する。まずスイッチ 11 がオン、12 がオフの状態で、C が低電位になると、F は低電位になり 13 がオン、14 がオフになる。この結果 15 のベース電位 G は V<sub>H</sub> と

なり、バイポーラトランジスタ15により出力は高速に高電位 $V_H - V_{BE}$ に上昇する。ここで $V_{BE}$ は15のベース・エミッタ間電圧である。次に入力Cが高電位になると、Fの電位はスイッチ11を通して上昇し $V_A - V_{T11n}$ となる。ここで $V_{T11n}$ はスイッチ11を構成するnMOSの閾値電圧である。この結果、14がオン、15はオフ、また16がオンとなりDの出力電位を立ち下げる。入力Cの高電位への切り換えとほぼ同時にスイッチ12をオンさせ、Fの電位を $V_A - V_{T11n}$ より高い $V_H$ にする。これにより13、14を通じて流れる貫通電流を防止することができる。Fは電位がC、Aより高くなると自動的にスイッチ11はオフとなりFの電位は入力と独立に上昇する。出力電位を立ち下げる手段16は同図に示す様な1個のnMOSトランジスタで構成しても良いが、この部分に第2図、第3図に示す様な、バイポーラとMOSの複合回路を用いれば、出力の立ち上げをさらに高速に行うことができる。さらに、第1図の16の様なnMOSと第2図、第3図のどちら

次に第1図の本発明の概念をより具体化した実施例を第8図に示す。この実施例は第1図に対しスイッチ12をpMOSで形成し、そのソースをpMOS13のソースと接続し端子B<sub>1</sub>としたものである。

次にこの回路の動作を第9図、第10図の電圧波形図を用いて説明する。第9図はnMOS11のゲートAの端子が常に高電位 $V_A$ の場合である。入力Cの高電位側も $V_A$ とする。Eが高電位の状態でCが高電位になるとnMOS11を通してFの電位は $V_A - V_{T11n}$ の電位となる。次いでEが低電位になると、12(pMOS)がオンしFの電位は $V_H$ となる。この結果13(pMOS)がオフ、14(nMOS)がオン、バイポーラトランジスタ15がオフ、16(nMOS)がオンとなり、出力Dは低電位になる。なおFが高電位 $V_H$ に上昇する時、A、Cの電位は $V_A$ であるので、11はオフでありC点の電位は $V_A$ のままである。一方、Eが高電位の状態でCが低電位になると11がオンし、FもCと同じ低電位になる。この結果13がオン、

一方を並列接続すれば出力電位を高速に、かつ0Vにまで立ち下げることができる。

第1図の入力Cに接続される前段回路の構成例を第4図、第5図、第6図、第7図に示す。第7図はバイポーラ-CMOS複合ゲート回路である。これらはいずれも3入力NAND機能を持つ。基準電圧が $V_A$ と低いので、出力電圧Cも $V_A$ あるいは $V_A$ より低くなる。第4図、第5図では $\overline{P}$ 、 $\overline{P}$ であらかじめ、Cを高電位にプリチャージしておき、 $I_1$ 、 $I_2$ 、 $I_3$ が全て高電位の時Cを放電する。第6図、第7図では専用のプリチャージ信号はないが、あらかじめ $I_1$ 、 $I_2$ 、 $I_3$ の1個あるいは全部を低電位にしておき、Cを高電位にプリチャージしておく。第1図の前段回路に第5図あるいは第7図の回路を用いれば、スイッチ11を省略することができる。なぜなら第5図、第7図では出力にはnMOS、またはバイポーラトランジスタが接続されており、後段回路の動作によりCが $V_A$ 以上の高い電圧に昇圧されてもラッチアップ等の問題を生じないからである。

14がオフしノードGが $V_H$ となり、出力Dが高速に高電位に充電される。この出力の高電位は $V_H - V_{BE}$ である。なおこの回路では第5図の波線に示す様にCが高電位 $V_A$ になつてから、Eが低電位になるまでの期間 $t_{OE}$ が長いとFの高電位は $V_A - V_{T11n}$ にしばらくとどまるので、13、14に貫通電流が流れ、Dが不十分な低電位にとどまる期間が存在する。したがってAが常時高電位の方式では、 $t_{OE}$ の時間を短くすることが望ましい。そのためにはCが高電位になると同時にEを低電位に切換えればよい。これにより上記問題は完全に解決できる。第10図は上記貫通電流が流れないようにした他の実施例であり、第8図の回路において、Aをパルス駆動する方式である。時刻 $t_1$ 、 $t_2$ でEが低電位に切換る以前に制御端子Aを低電位にしておく、この時Cの電位はどちらでも良い。Eが低電位になるとFは高電位 $V_H$ となるが、nMOS11はAが低電位ゆえオフのままである。この結果出力Dは前述したと同様に低電位となる。次にEが高電位に戻り、入力Cが低

電位の状態の時刻  $t_2$  で A が高電位になると F が低電位となり、その結果出力 D は高電位  $V_H - V_{BE}$  に充電される。逆に時刻  $t_4$  の様に入力 C が高電位なら 11 はオフしたままであり出力 D は 0 V のままである。またこの後  $t_5$  でスイッチ 12 をオンさせても F は  $V_H$  のまま、出力 D は 0 V のままである。この様に、第 10 図の方式では F の電位はスイッチ 12 だけを介して高電位  $V_H$  とするため第 5 図の波線の様に  $V_A - V_{T11n}$  の電位となる期間は存在しない。この回路の動作により、C と A の低振幅信号入力から高振幅出力 D を得ることができる。

なお第 8 図ではスイッチ 12 を pMOS で構成したが、これを第 11 図の実施例に示す様に nMOS で構成することもできる。但しこの時には制御信号 E の極性を第 9 図、第 10 図と比べ反転させる必要がある。さらにこの場合は F の高電位を  $V_H$  とするには E の高電位を  $V_H + V_{T12n}$  以上とする必要がある。ここで  $V_{T12n}$  は 12 (nMOS) の閾値電圧である。

を介して  $V_A - V_{T11n}$  の電位まで立ち上がる。この結果 14 がオン 13 がほとんどオフとなり、G の電位が低下し、12 をオンさせる。このため F の電位はさらに上昇し、G の電位はさらに下降し、最終的に F は  $V_H$ 、G は 0 V になる。F の電位が  $V_A - V_{T11n}$  から  $V_H$  に上昇する際はスイッチ 11 は自動的にオフになるので、入力 C の電位は一定である。この様に 12、13、14 で正帰還をかけている。

なお第 13 図ではスイッチ 11 の制御入力 A は常に高電位としたが、A にパルス電圧を印加すれば、A が高電位の時、上述の様に入力 C に応じて出力 D を変化させ、また A が低電位の時は入力 C の変化に依らず出力 D を、以前の高電位又は低電位の一定状態に保つことができる。

以上述べた実施例によれば、外部から余分なパルス信号を必要とせず、低電圧の入力 C から高電圧の出力 D を得ることが可能となる。

これまで述べてきた第 8 図、第 11 図、第 12 図の実施例ではスイッチ 12 を MOS トランジス

トランジスタ 11 と E (スイッチ) 12 を同期させる方式、すなわち 12 をオンする前に必ずスイッチ 11 をオフにしておき、また 11 がオンする前に必ず 12 をオフにしておく方式である。次に E を G と共通にする方式について述べる。

第 12 図の実施例はスイッチ 12 を pMOS で構成し、その制御を次段 CMOS の出力 G で行い、第 8 図と第 11 図での制御信号 E を省略したものである。この第 12 図の回路の動作を第 13 図の電圧波形図を用いて説明する。まずスイッチ 11 の制御入力 A が高電位  $V_A$  の状態で、入力 C が低電位 0 V になると、スイッチ 11 はオンしているので F も 0 V になり、スイッチ 13 がオン、14 がオフとなる。こうして、G の電位が  $V_H$  になり、バイポーラトランジスタ 15 がオン、16 がオフになる。出力 D はバイポーラトランジスタにより高速に立ち上がり、出力電位は最終的には  $V_H - V_{BE}$  になる。G の電位が  $V_H$  であるので、スイッチ 12 (pMOS) はオンからオフに変わる。次に入力 C が高電位になると、F の電位は 11 (nMOS)

トランジスタ 12 を MOS をトランジスタでなくダイオード (バイポーラあるいは MOS ダイオード) で構成したのが第 14 図の実施例である。第 15 図はその電圧波形図である。第 15 図はスイッチ 11 の nMOS のゲートを常時高電位  $V_A$  とするもので、前述した第 9 図、第 13 図の電気波形図に対応するものである。もちろんスイッチ 11 のゲートにパルス印加して第 10 図と同様な動作をさせることもできる。第 15 図でダイオード 12 のアノード側 B1 には入力 C が高電位  $V_A$  になった直後、 $V_H + V_{BE}$  の電位まで立ち上がる信号を与え、ダイオード 12 を通して F 点を  $V_H$  に充電する。かくして出力 D を 0 V にする。B1 が 0 V に戻ると、12 は逆バイアスとなりオフとなる。その後入力 C が低電位になると、F の電位は 11 を通して 0 V になり、出力 D は  $V_H + V_{BE}$  まで充電される。F 点の電位が  $V_H$  の時、入力 C が高電位  $V_A$  のままであると、F 点は放電されず出力 D は 0 V のままである。以上に述べた実施例においても、既に述べた

実施例と同様に高電圧出力を得ることができる。

さらに前述した第8図の様にスイッチ12を制御信号Eで制御する方式と、第12図の方式を併用したのが第16図の実施例である。この図で12-1 (pMOS)は外部からの制御信号Eを用いてFを高電位 $V_H$ に設定するスイッチ、また12-2は14, 15で構成されるCMOSインバータの出力Gを制御信号に用いることにより、Fを高電位 $V_H$ に設定するスイッチである。この回路の動作は第8図の回路動作と等しいが、第8図の回路に比べ、12-1と12-2のpMOSのゲート幅を調整することにより、回路動作の安定化と高速化を両立させることができる利点がある。すなわちスイッチ11, 12-1がオフの時には12-2がオンとなり、F点をフローティング状態にしないので、外部からF点に雑音が入りにくく、安定にF点を高電位に、出力Dを低電位に保持することができる。またF点を低電位から高電位に充電する時は12-1をオンさせることにより行うので、12-1のゲート幅を大きくとればF点を

高速に立上げ、出力Dを高速に立下げることができる。一方12-2のゲート幅を小さくとればF点を高速に立下げ、出力Dを高速に立上げることができる。この様にして出力Dの立上り、立下りを共に高速化することができる。

なお以上に述べてきた実施例はいずれも1入力(c); 1出力(D)の場合であるが、多入力の場合にもスイッチ11を入力数に応じて多数並列に接続することにより構成できる。この1例として第12図を3入力に変形した実施例を第17図に示す。第17図では3入力( $C_1, C_2, C_3$ )とこれを制御する信号 $A_1, A_2, A_3$ を各々スイッチ11-1, 11-2, 11-3に印加している。本回路では、信号 $A_i$  ( $i=1, 2, 3$ )が高電位 $V_H$ となつているスイッチの入力 $C_1 \sim C_3$ のいずれかが内部に取り込まれ、これに対応する出力が出力端子から得られる。また $A_1, A_2, A_3$ がすべて低電位の時は、 $C_1, C_2, C_3$ のいずれの変化にも依らず、出力DやF, Gの電位は以前の状態を保ち、一定電位を保持し続けることが出

来る。

以上に記した実施例はいずれも出力の立ち上げを高速に行うため、出力にバイポーラトランジスタを用いてきたが、場合によつてはバイポーラトランジスタを削除して、各実施例のG点から出力を取り出すこともできる。この場合バイポーラトランジスタを用いていないため高速性では劣るが、低振幅入力から高振幅の出力を得ることが出来る。次にそれらの構成について述べる。第17図、第18図はこれらの実施例である。このうち第17図は第1図に、第18図は第8図に各々対応し、いずれも第1図、第8図での出力充電用バイポーラトランジスタ15と放電用nMOSトランジスタ16を省略したものである。回路の動作や電圧波形も既に述べてある通りである。但しバイポーラトランジスタがないため出力の立ち上がりが遅くなる反面、 $B_2$ の電位 $V_H$ がpMOSトランジスタ13を通してそのまますなわち出力 $V_{BE}$ の電圧降下なしに出力に得られる利点がある。第17図、第18図で、 $B_1, B_2$ の端子は分離しても良いが

波線の様に接続し同一電圧 $V_H$ を供給しても良いのは、これまでの実施例と同じである。

本発明には種々の用途が考えられるが、特にMOSメモリセルを用いたスタティック形メモリ(SRAM), ダイナミック形メモリ(DRAM)あるいはリードオンリメモリ(ROM)等の半導体記憶装置のワードドライバに用いると好適である。なぜなら高速の半導体記憶装置を実現するためには、選択すべきワード線を高速かつ高振幅に駆動し、信号電圧を大きくしてS/Nを高め、さらには容積電圧を大きくしてソフトエラー耐性を高めることが必要なためである。以上の事情については、ITO, K. and SUNAKI, H. 「ハイデンシテイ・ワンデバイス・ダイナミックス・メモリセルズ」High density one-device dynamic MOS memory cells', IEEPROC., vol. 130, Pt. I, No. 3, JUNE 1983., pp127~135に詳細がある。

第20図は半導体記憶装置の(DRAM, SRAM, ROM)のブロック図であり、メモリセルアレーと周辺回路群が示されている。

このメモリセルアレーMCAには、 $i$ 本のワード線WLと $j$ 本のデータ線DLが交差配列され、ワード線とデータ線の交点のうち $N$ 個にメモリセルMCが配置されている。アドレスバッファ回路ABX, ABYには各々アドレス入力 $X_0 \sim X_n$ ,  $Y_0 \sim Y_n$ が印加され、その出力が、デコーダ・ドライバ回路XD, YDに伝達される。これらのデコーダ・ドライバ回路XD, YDのうち回路XDによりワード線が、回路YDにより書き込み・読み出し回路RCがそれぞれ駆動され、メモリセルアレーMCA内の選択されたメモリセルMCへの情報の書き込み、あるいは該メモリセルMCからの情報の読み出しを行う。CCは書き込み・読み出し制御回路で、この回路CCは、チップセレクト信号CS、書き込み動作制御信号WE、入力信号DIによつて前記アドレスバッファ回路ABX, ABY, デコーダ・ドライバ回路XD, YD、書き込み・読み出し回路RC、出力回路OCを制御する。出力回路OCは、書き込み・読み出し回路RCにより読み出された情報を外部へ

出力するための回路である。なおメモリセルMCの一例としてスタティック形MOSメモリセルを第20図に、またダイナミック形MOSメモリセルを第21図に示す。また図では省略するがリードオンリ形MOSメモリセルを用いることもある。これらメモリセルの形式に応じて、周辺回路群の回路構成は異つたものとなるが、ワード線を高速かつ高振幅に駆動することが、いずれのメモリセルについても高速化、動作安定化の必要条件である。

以後、本発明を半導体記憶装置（以下メモリと略す）ワードドライバに適用した実施例を述べる。

第23図はデコーダ、ワードドライバの1実施例である。DECはデコーダ回路、WD0, WD1, WD2, WD3のワードドライバである。ワードドライバには第8図の実施例回路を用いている。この回路は1ケのデコーダ回路の出力Cを、4個のワードドライバで共用している。デコーダとワードドライバの間にnMOSによるスイッチ11-1, 11-2, 11-3, 11-4を設け、

これらを信号AT<sub>0</sub>, AT<sub>1</sub>, AT<sub>2</sub>, AT<sub>3</sub>で制御している。P<sub>1</sub>, P<sub>2</sub>は各々デコーダとワードドライバのプリチャージ信号で、メモリ待機時あるいはプリチャージ期間にはC点をV<sub>A</sub>, F<sub>0</sub>, F<sub>1</sub>, F<sub>2</sub>, F<sub>3</sub>点をV<sub>H</sub>に充電しておく。AX<sub>1</sub>, AX<sub>2</sub>, AX<sub>3</sub>, およびAT<sub>0</sub>, AT<sub>1</sub>, AT<sub>2</sub>, AT<sub>3</sub>はアドレスバッファ回路あるいはプリデコーダ回路の出力であり、AX<sub>1</sub>, AX<sub>2</sub>, AX<sub>3</sub>が全て高電位の時、Cは低電位の選択状態になる。さらに、AT<sub>0</sub>, AT<sub>1</sub>, AT<sub>2</sub>, AT<sub>3</sub>のうち1本が高電位になると、それに接続されるワードドライバ出力を高電位の選択状態に充電する。次に第23図の動作を第24図の電圧波形図を用いて説明する。第23図のCSは第19図のCSに対応するものでメモリチップのタイミング制御を行う基本入力信号である。ここではTTLインターフェースの入力電圧を想定している。高電位の時待機時あるいはプリチャージ期間を表わし、低電位の期間にメモリが動作状態になるものとする。まず第24図のサイクルのtop1について説明する。CSが高電位時にP<sub>1</sub>, P<sub>2</sub>は0VでpMOS30,

12によりCを高電位V<sub>A</sub>, F<sub>0</sub>, F<sub>1</sub>, F<sub>2</sub>, F<sub>3</sub>を高電位V<sub>H</sub>に充電しておく。この時ワード線W<sub>0</sub>, W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>は全て低電位0Vである。CSが低電位になりメモリが動作状態になると、P<sub>1</sub>が高電位V<sub>A</sub>, P<sub>2</sub>が高電位V<sub>H</sub>となり、pMOS30, 12は共にオフとなる。この時AX<sub>1</sub>, AX<sub>2</sub>, AX<sub>3</sub>が全て高電位V<sub>A</sub>になると、Cが0Vになり、さらにAT<sub>0</sub>のみが高電位V<sub>A</sub>, その他のAT<sub>1</sub>, AT<sub>2</sub>, AT<sub>3</sub>が低電位の時は、F<sub>0</sub>のみが0V, F<sub>1</sub>, F<sub>2</sub>, F<sub>3</sub>は高電位V<sub>H</sub>のままである。この結果W<sub>0</sub>が高電位V<sub>H</sub>-V<sub>BE</sub>に充電され、W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>は低電位0Vのままである。メモリの読み出し、再書き込みの終了後、CS入力に応じてすべてのAX, ATが低電位となり、さらにP<sub>1</sub>, P<sub>2</sub>が低電位となり、再びC, F<sub>0</sub>, F<sub>1</sub>, F<sub>2</sub>, F<sub>3</sub>を高電位に充電する。この結果、選択ワード線W<sub>0</sub>も0Vに戻る。次のサイクルtop2では、アドレス入力に変化してAX<sub>1</sub>, AX<sub>2</sub>, AX<sub>3</sub>の一部または全部が低電位のままと仮定する。この時デコーダ出力CがV<sub>A</sub>のままでたとえAT<sub>0</sub>がV<sub>A</sub>にな

つても、F<sub>0</sub>放電されないので、出力W<sub>0</sub>は0Vのままである。待機状態t<sub>st</sub>ではCS入力が高電位なのでP<sub>1</sub>、P<sub>2</sub>は低電位、AX、ATは低電位のままである。この時全ワード出力は低電位を保つ。第23図のデコーダ回路DECは第4図と等しい3入力NAND回路であるが、第5図、第6図、第7図の様な回路を用いることもできる。またデコーダの入力数を3入力以外とすることや1デコーダの出力を4個以外のワードドライバに共用することも容易に可能である。

第25図はワードドライバに第16図の回路を用いたものである。このデコーダ、ワードドライバの制御は第24図と同様に行えるが、第16図のところで述べた様にこのワードドライバは動作の安定化と高速化を両立させることができる。すなわちP<sub>2</sub>が高電位で、かつデコーダ出力Cが高電位の時、あるいはP<sub>2</sub>が高電位でかつスイッチ11-1~11-4がオフの時、スイッチ12-2の動作によりF<sub>0</sub>~F<sub>3</sub>の電位を安定にV<sub>H</sub>に保持することができる。したがってあるワ

ードが低電位から高電位に切換る時にも、他のワードドライバのF<sub>0</sub>~F<sub>3</sub>点には雑音が誘起されにくく、非選択のワードを安定に低電位に保持することができる。また12-1、12-2のゲート幅を調整し、F<sub>0</sub>~F<sub>3</sub>点の応答を高速化することもできる。

さらに第26図は、第23図の実施例に対し、ワードドライバ第18図の実施例を用いたものである。バイポーラトランジスタを必要としないため、製造コストを下げるができる。回路動作は第23図とほとんど等しいので説明を省略する。

さて、第22図~第26図にメモリのワードドライバへの本発明の適用例を示した。低振幅入力から高速に高振幅出力に変換することが必要な箇所はメモリのワードドライバに限らず、メモリの入出力回路やその他一般の集積回路中に広く存在する。第27図はその一般例である。この図は基準電圧V<sub>A</sub>で動作する低振幅回路系45から信号を取出し本発明の変換回路を用いて、高振幅出力Dを得るものである。41~44は45を構成す

るインバータ、あるいは論理回路を示し、これらの電源端子JにはV<sub>A</sub>を供給する。46の基準電圧としてBには高電圧V<sub>H</sub>を、また必要ならAには電圧V<sub>A</sub>の直流またはパルス電圧を印加する。A、B、C、Dは前述の実施例図のA、B、C、Dに対応する。この様な回路構成は、たとえばECLの低振幅入力から高振幅のMOSレベルへ変換する部分、あるいはメモリのセンスアンプの低振幅信号からTTLの高振幅出力に変換する部分等、広く存在する。

ところで、第1図~第27図の構成では、電圧V<sub>A</sub>を供給する電源と電圧V<sub>H</sub>を供給する電源の2つの正電源を必要とする。これらの電源をチップ外部から別々に供給することは勿論可能であるが、いずれか一方のみを外部から供給し、他方はこれを基準にしてチップ内部で発生して供給したり、あるいはいずれもチップ内部で、他の電源を基準にして発生することも可能である。したがって、前述の実施例のうち、2つの正電源を必要とするものを1つの外部正電源のもとで、例えば2

つの電圧のうち、高い方は外部正電源より直接供給し、低い方は、外部正電源の電圧を特願昭56-158598号、特願昭57-220083号明細書などに示されているような電圧リミッタ回路により低くして供給することも可能である。また、場合によつては、必要とする2電源のうち、低い方は外部正電源より供給して、高い方は、外部正電源の電圧を昇圧する回路によつて高くして供給してもよい。

第28図は、本発明に用いる昇圧回路の一実施例図である。

この回路では、電圧V<sub>A</sub>は外部正電源より供給して、高電圧V<sub>H</sub>を発生させる。第28図の回路は、基本的にはいわゆるチャージポンプ型の昇圧回路CP1とCP2とを並列に並べたものである。チャージポンプ型の昇圧回路の動作原理は、よく知られているのでここでは省略する。ここで、ツェナーダイオード192は、端子194の電圧が所望のレベルV<sub>H</sub>より上がり過ぎた場合に電流レークさせ、それ以上の電位上昇を防止するためのものであるが、必要のない場合は除去してもよい。



またツエナーダイオード192の替りに、通常のダイオードやMOSトランジスタのゲートとドレインを接続したMOSダイオード回路を順方向に複数個接続したものをを用いてもよい。また、CP1、CP2として、MOS容量とMOSトランジスタで構成したダイオードを3段接続した例を示したが、一般的に段数を $n$ 、MOSトランジスタのしきい電圧を $V_T$ 、 $\phi_{S1} \sim \phi_{S3}$ 、 $\phi_{T1} \sim \phi_{T3}$ のパルス振幅を $V_A$ とすると、得られる電圧は約 $(n+1)(V_A - V_T)$ となり、必要とする $V_H$ の値に応じて $n$ の値を選べばよい。

この回路を第22図～第26図に適用した場合、第28図の端子194より供給しなくてはならない電流は、ワード線が選択されるときに大きくなる。したがって、半導体メモリのアクティブな期間には、大きな供給電流を得るためにCP1とCP2の両方を動作させ、スタンバイの期間には、CP1のみを動作させることも可能である。これによつて、低い消費電力で大きな出力電流を得ることができる。

194の電位が低下することがある。その場合には、端子194がコレクタに接続されたバイポーラトランジスタの飽和を防止するため、端子194の容量を大きくして、電位の低下を小さくする必要がある。そのためには、 $V_H$ を供給するためのバイポーラトランジスタのコレクタを、全て端子194に接続することによつて、バイポーラトランジスタのコレクタ容量により端子194の寄生容量を増加させることもできる。また、ここでは、 $\phi_{S1}$ と $\phi_{S3}$ および $\phi_{T1}$ と $\phi_{T3}$ はそれぞれ別信号として示したが、場合によつては同一信号で駆動することもできる。

#### 〔発明の効果〕

以上説明したように、本発明によれば、MOSトランジスタを含む回路において、動作の基準となる電圧を、上記回路を制御する前段回路が基準として動作する電圧とは異なる値にするので、所望の大きな出力電圧を得ることができる。

図面の簡単な説明

第1図は本発明の基本構成を示す第1の実施例

第29図は、第28図のCP1、CP2へ印加するパルスの電圧波形の一例図である。

図においては、 $t_{st}$ 、すなわちスタンバイの期間にはCP1のみが動作し、 $t_{op}$ 、すなわちアクティブな期間にはCP1とCP2の両方が動作する例を示している。CP2の起動時刻をワード線を選択する時刻と同期させるには、例えば、チップセレクト信号 $\overline{CS}$ や $\overline{RAS}$ 信号を利用すればよい。また、いわゆるページモードのように、一体のワード線上のメモリセルの情報を連続して読み出すような動作をさせる場合には、選択したワード線の電位を長時間高電位に保つ必要がある。この場合には、ワード線電位が高レベルに達した後も、 $\overline{CAS}$ 信号などを利用してCP2を活性化してもよいことは勿論である。

なお、ここではチャージポンプ回路を2つ用いた例を示したが、必要に応じて1個にしたり、あるいはさらに多くの回路を用いてもよいことは勿論である。また、ワード線の電位の立ち上げを非常に高速に行うと、一時的に、第28図の端子

図、第2図、第3図は出力放電回路、第4図、第5図、第6図、第7図は前段回路の構成例、第8図は第2の実施例図、第9図と第10図は第8図の電圧波形図、第11図は第3の実施例図、第12図は第4の実施例図、第13図は第12図の電圧波形図、第14図は第5の実施例図、第15図は第14図の電圧波形図、第16図は第6の実施例図、第17図は第12図を多入力へ適用した第7の実施例図、第18図は第8図の実施例図、第19図は第9の実施例図、第20図は半導体記憶装置のブロック図、第21図はスタティック形MOSメモリセルの回路図、第22図はダイナミック形MOSメモリセル回路図、第23図はメモリのデコーダ、ワードドライバへの本発明の適用実施例図、第24図は第23図の電気波形図、第25図はデコーダ、ワードドライバへの第2の適用実施例図、第26図はデコーダ、ワードドライバへの第3の適用実施例図、第27図は本発明の一般的な応用例を示す図、第28図は直流高電圧を発生する回路図、第29図は第28図の各部の

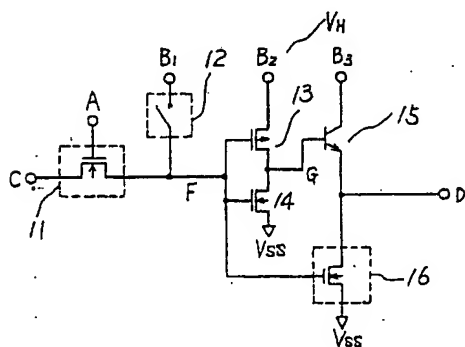
電圧波形図、第30図はバイポーラCMOS複合形従来回路である。

C, C<sub>1</sub>, C<sub>2</sub>…低振幅入力、D…高振幅出力、A, A<sub>1</sub>, A<sub>2</sub>…制御入力、E…制御入力、B, B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>…高電圧印加端子、V<sub>A</sub>…低電圧、V<sub>H</sub>…高電圧、V<sub>CC</sub>…正側電源電圧、V<sub>SS</sub>…負側電源電圧または0V、X<sub>0</sub>~X<sub>n</sub>…Xアドレス、Y<sub>0</sub>~Y<sub>n</sub>…Yアドレス、MCA…メモリセルアレー、MC…メモリセル、DL,  $\overline{DL}$ …データ線、WL, W<sub>0</sub>, W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>…ワード線、ABX, ABY…アドレスバッファ回路、XD, YD…デコーダ、ドライバ回路、RC…書き込み・読出し回路、CC…制御回路、OC…出力回路、DO…メモリ読出し出力、 $\overline{CS}$ …チップセレクト信号、 $\overline{WE}$ …書き込み制御信号、DI…書き込み入力、DEC…デコーダ、P1…デコーダプリチャージ信号、P2…ワードドライバプリチャージ信号、AX<sub>1</sub>, AX<sub>2</sub>, AX<sub>3</sub>…アドレスバッファ出力あるいはプリデコーダ出力、AT<sub>0</sub>, AT<sub>1</sub>, AT<sub>2</sub>, AT<sub>3</sub>…第2のアドレスバッファ出力またはプリデコーダ出力、

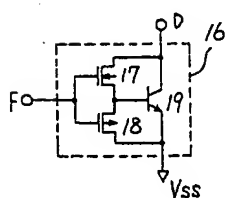
CP<sub>1</sub>, CP<sub>2</sub>…チャージポンプ回路、 $\phi S1$ ,  $\phi S2$ ,  $\phi SS$ …CP1活性化パルス、 $\phi T1$ ,  $\phi T2$ ,  $\phi TS$ …CP2活性化パルス。

代理人 井理士 小川勝男

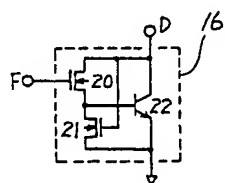
第1図



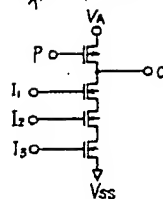
第2図



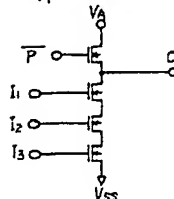
第3図



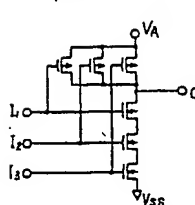
第4図



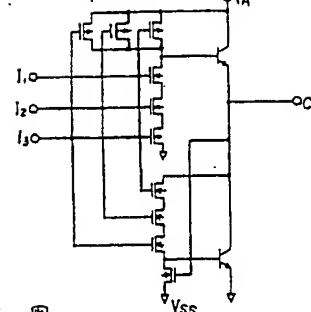
第5図



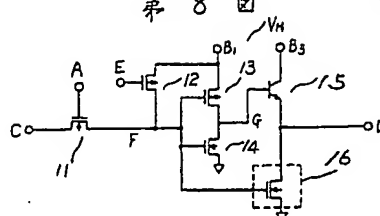
第6図



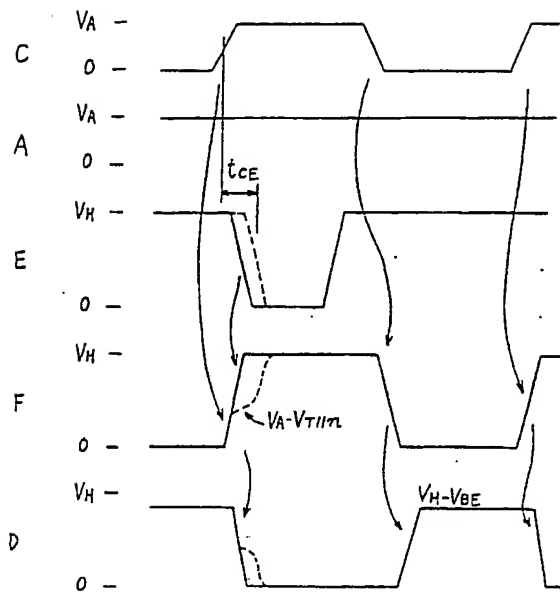
第7図



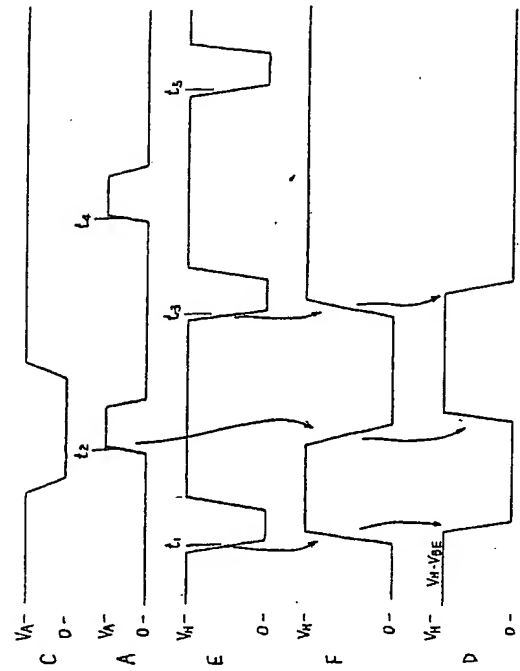
第8図



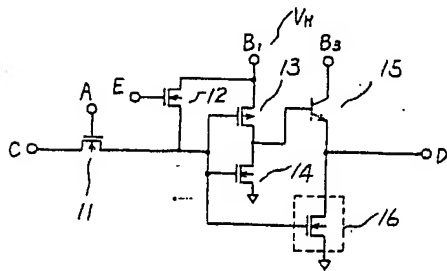
第 9 図



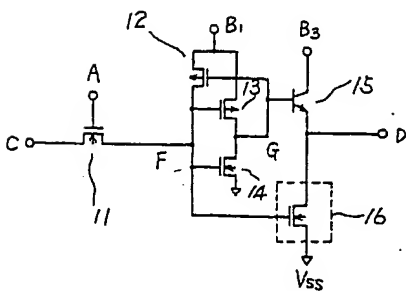
第 10 図



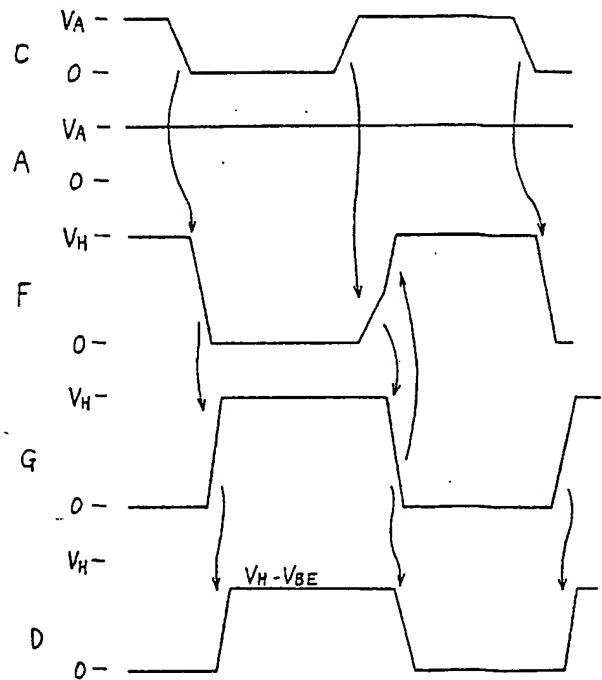
第 11 図

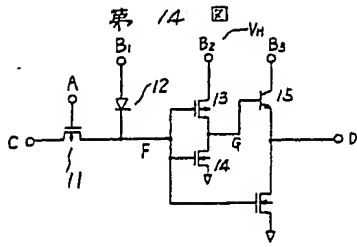


第 12 図

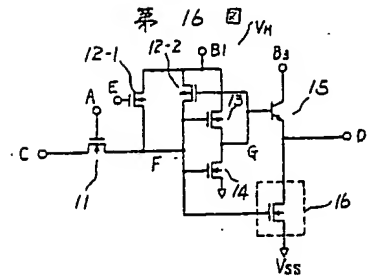
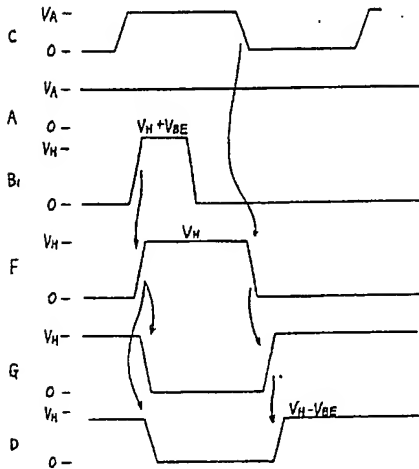


第 13 図

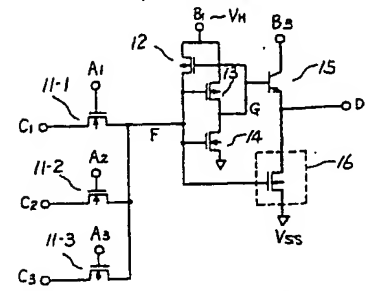




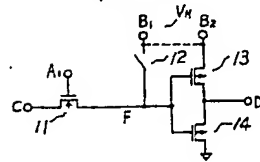
第 15 図



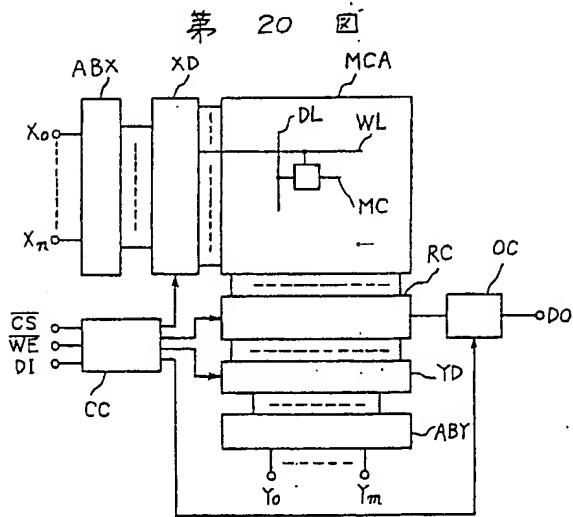
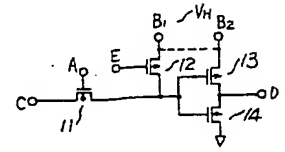
第 17 図



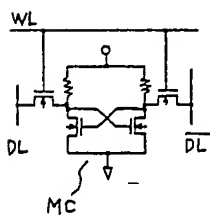
第 18 図



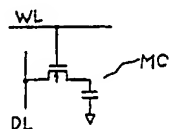
第 19 図



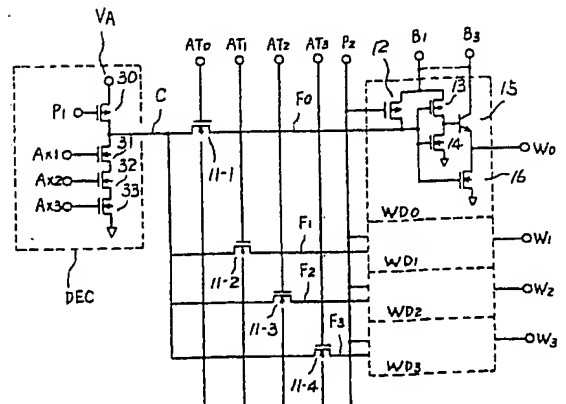
第 21 図



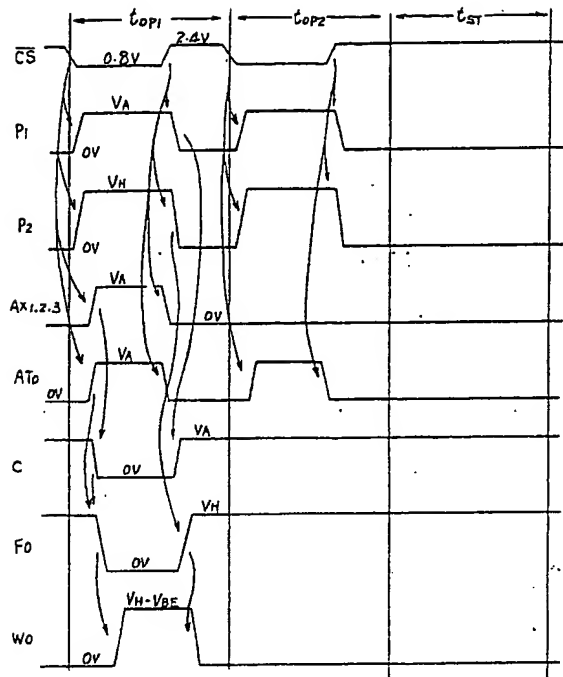
第 22 図



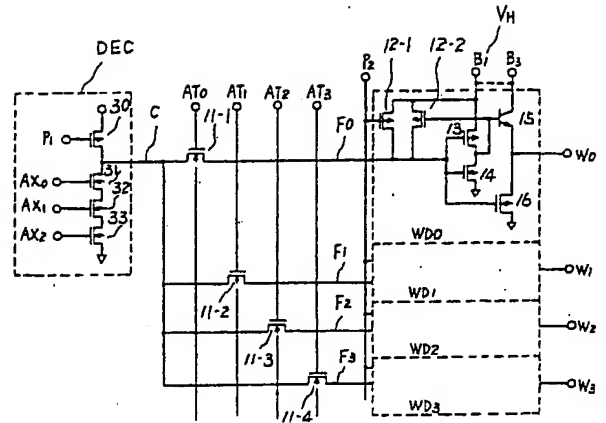
第 23 図



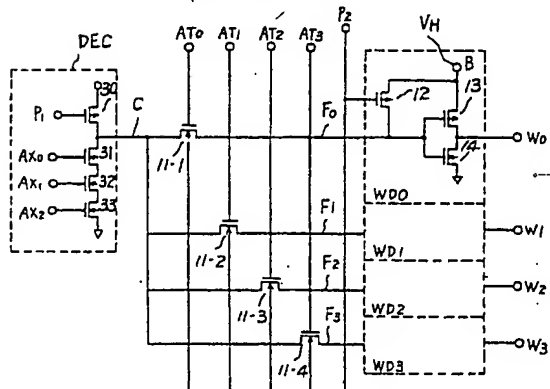
第 24 図



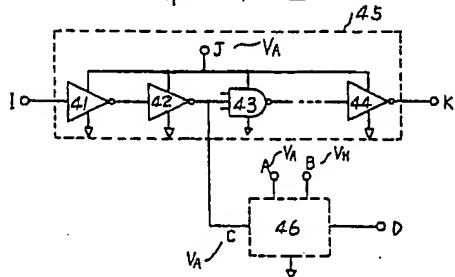
第 25 図



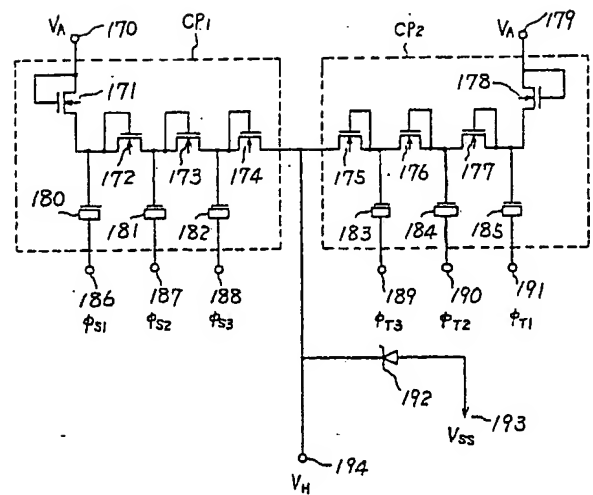
第 26 図

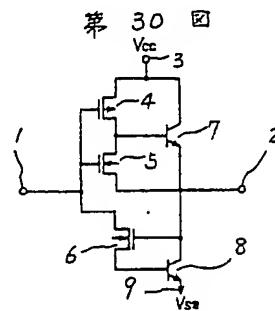
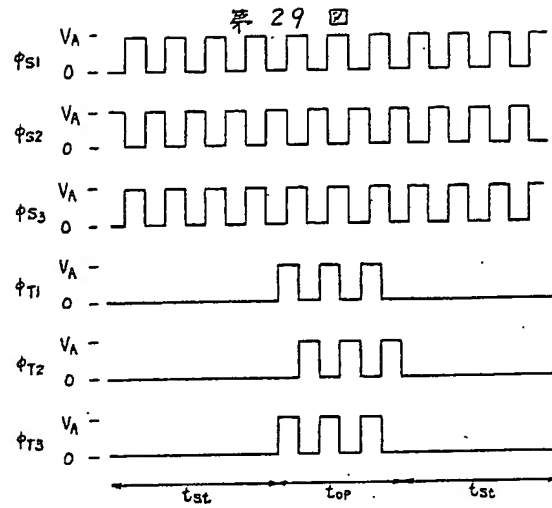


第 27 図



第 28 図





第 1 頁の続き

⑦発明者 河原 尊之

国分寺市東恋ヶ窪 1 丁目 280 番地

株式会社日立製作所中  
央研究所内

⑧発明者 伊藤 清男

国分寺市東恋ヶ窪 1 丁目 280 番地

株式会社日立製作所中  
央研究所内